طراحی یک مدولاتور دلتا سیگمای متعامد میان گذرگسسته زمان با حذف عدم تطابق برای گیرنده های GSM/EDGE

تاریخ دریافت:
۲ آذرماه ۱۴۰۲

تاریخ پذیرش:
٤ فروردین ماه ۱۴۰۳

علیرضا شمسی*[۱]، یعقوب خراسانی[۲]، ابراهیم شفیعی[۳]
۱،۲،۳. استادیار، دانشکده مهندسی برق، دانشگاه علوم و فنون هوایی شهید ستاری، تهران، ایران.

چکیده

در این مقاله یک مدولاتور دلتا سیگمای متعامد مرتبه دو میان گذر گسسته زمان برای گیرنده های GSM/EDGE طراحی شده است. با کاهش OSR در مدولاتور طراحی شده، فرکانس کاری آن کمتر شده است. این کاهش فرکانس باعث شده تا در این مدولاتور از تقویت کننده های با پهنای باند کوچکتری استفاده نموده که در فرکانس پایین تر و با مصرف توان کمتری کار می کنند. جهت دستیابی به SNR مطلوب، از کوانتایزر سه بیتی استفاده شده است و به تبع آن در مسیرهای فیدبک این مدولاتور نیز DAC سه بیتی قرار داده شده است. عدم تطابق سلولهای آن یکی از مشکلات این مدولاتورها می باشد. یکی دیگر از مشکلات مدولاتورهای متعامد دارند مشکل عدم تطابق بین مسیرهای I و Q ی آن است. برای تصحیح خطای عدم تطابق سلولهای DAC در هر مسیر و همچنین بین مسیرهای I و Q، بلوک DEM مختلط طراحی و پیاده سازی شده است. مدولاتور طراحی شده در تکنولوژی CMOS-180nm پیاده سازی شده است. نرخ سیگنال به نویز طیف خروجی این مدولاتور، با نرخ فرانمونه برداری ۵۰ و مصرف توان ۵.۵۸mw برابر ۸۶dB بدست آمده است.

واژه‌های کلیدی: مدولاتور دلتا سیگمای متعامد، گسسته زمان، حذف عدم تطابق، گیرنده های GSM/EDGE

Designs of discrete-time Band pass Quadrature Sigma-Delta Modulator for GSM/EDGE Receivers

Alireza Shamsi*[1], Yaghoub Khorasani[2], Ebrahim Shafiei[3]

1,2,3. Assistant Professor, Department of Electrical Engineering, Shahid Sattari Aeronautical University, Tehran, Iran.

Abstract

In this paper, a second order discrete-time quadrature delta sigma modulator for GSM / EDGE receivers is designed. By reducing the OSR in the designed modulator, its operating frequency is decreased. This frequency reduction has led to the use of smaller bandwidth-based op-amps in this modulator that work at lower frequencies with less power consumption. A three-bit quantizer is used to achieve the desired signal to noise ratio (SNR). A 3-bit quantizer is used To achieve the desired SNR, and consequently it has a 3-bit DAC at the feedback paths of modulator. The mismatch of its cells is one of the problems of multi bit modulators. Another problem with quadrature modulators is the mismatch between paths I and Q. A complex DEM block is designed to correct the DAC cells error mismatch in each path and between I and Q paths. The designed modulator is implemented in CMOS-180nm technology. The designed modulator is implemented in CMOS-180nm technology. The SNR of the output spectrum of this modulator is obtained 86dB with a sampling rate of 50 and a power consumption of 5.58mw.

Key words: quadrature delta sigma modulator, discrete-time, Mismatch Elimination, GSM / EDGE receivers

ایمیل نویسنده مسئول: alireza.shamsi@ssau.ac.ir

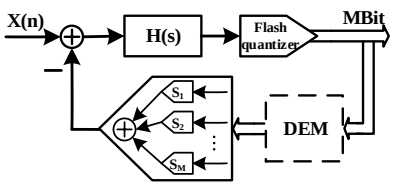
۱-مقدمه

سیستم های فرستنده و گیرنده رادیویی کاربرد روز افزونی در ساختارهای دفاعی و شخصی دارند و یکی از بلوک های مهم در این ساختارها مبدل آنالوگ به دیجیتال است. در گیرنده های رادیویی معمولا از مدولاتور دلتا سیگما جهت تبدیل سیگنال آنالوگ به دیجیتال استفاده می شود. در مدولاتور دلتا سیگمای میان گذر، برای ایجاد n صفر در باند توقف، باید تابع نویزNTF آن از مرتبه n۲ باشد [۱]. در صورتی که با یک مدولاتور میان گذر متعامد، با NTF، مرتبه n می توان همان کارآیی را بدست آورد چرا که تمام صفرهای تابع تبدیل نویز در باند گذر قرار می گیرند [۲]. این مزیت باعث شده که پهنای باند مدولاتور متعامد با مرتبه یکسان، دو برابر مدولاتور حقیقی باشد که با توجه به معادله (۱)، در حالت ایده آل کارآیی آن نیز دو برابر باشد.

$$FOM = \frac{Power}{2^{ENOB} BW} \qquad (۱)$$

یکی از مشکلات مدولاتورهای دلتا سیگمای چند بیتی عدم خطینگی DAC است. یکی از راههای حل این مشکل استفاده از کوانتایزر تک بیتی است[۳] و برای حذف خطای عدم تطابق DAC های بین دو مسیر I و Q در مدولاتور متعامد نیز از روش به اشتراک گذاری کوانتایزر و مبدل دیجیتال به آنالوگ (DAC) استفاده می شود [۵-۴]. اما در این روش، برای دستیابی به SNR مطلوب باید فرکانس نمونه برداری را بزرگتر نظر گرفت. در اینصورت بخش های مختلف مدولاتور از جمله تقویت کننده ها باید پهنای باند لازم برای کار در این فرکانس ها را داشته باشند و در فرکانس بالاتر کار کنند که باعث افزایش مصرف توان می شود. روش دیگر برای دستیابی به SNR مطلوب، استفاده از کوانتایزر چند بیتی است. در این روش با مشکل عدم انطباق سلولهای DAC و همچنین عدم انطباق مسیرهای I و Q روبرو هستیم که منجر به تداخل نویز باند تصویر در باند سیگنال و همچنین ایجاد تصویر خود سیگنال (نسبت به فرکانس مرکزی) میشود که کاهش محدوده دینامیکی مدولاتور را در پی دارد [۵-۳]. تحقیقات زیادی جهت حذف خطای عدم تطابق در مدولاتورهای چند بیتی، انجام شده است که بارزترین آنها طراحی مدارات DEM است[۸-۶]. همانطور که در شکل ۱ نشان داده شده است این مدارات بصورت دیجیتالی پیاده سازی می شوند و قبل از DAC قرار می گیرند.

در این مقاله یک مدولاتور متعامد مرتبه دوم گسسته زمان سه بیتی با Fs کوچک طراحی شده است. جهت دستیابی به SNR مطلوب، از کوانتایزر سه بیتی استفاده شده و برای حذف خطای عدم تطابق DACها و مسیرهای I و Qی مدولاتور، بلوک DEM بصورت مختلط طراحی شده است. با درنظر گرفتن Fs کوچک در این مدولاتور، تقویت کننده‌ها و سوییچ‌ها راحت تر کار می‌کنند و مصرف توان نیز کاهش پیدا کرده است.



شکل ۱- ساختار مدولاتور دلتا سیگما با بلوک DEM

۲-ساختار بلوکی مدولاتور پیشنهادی

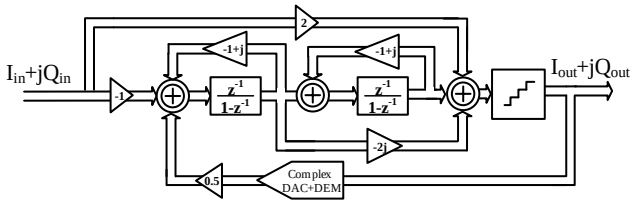
دو ویژگی مهم ساختار مدولاتور FF (Feed forward) یعنی کاهش سوئینگ خروجی انتگرال‌گیرها و کاهش تعداد DAC ها باعث شده که این ساختار نسبت به نوع FB (Feedback) متناظر آن مصرف توان کمتری داشته باشد[۹]. توابع فیلتر مختلط و تابع تبدیل نویز مدولاتور بترتیب در روابط (۲) و (۳) نشان داده شده است. تابع تبدیل سیگنال این مدولاتور در رابطه (۴) نشان داده شده است و مقدار آن ثابت و برابر ۲ است. این مقدار ثابت به ازای تمام فرکانس‌ها نشان‌دهنده این است که در فرکانس‌های مختلف باعث اعوجاج نمی شود.

$$H_{QBP}(z) = \left(\frac{z^{-1}}{1-jz^{-1}}\right)^2 - 2j\frac{z^{-1}}{1-jz^{-1}} = 1 - \frac{1}{(1-jz^{-1})^2} \qquad (۲)$$

$$NTF_{QBP}(z) = \frac{1}{1-\frac{1}{2}H_{QBP}(z)} = \frac{2(1-jz^{-1})^2}{-z^{-2}-2jz^{-1}+2} = \frac{2(1-jz^{-1})^2}{(1-jz^{-1})^2+1} \qquad (۳)$$

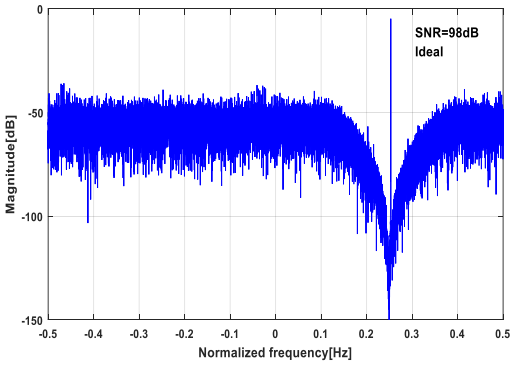
$$STF_{QBP}(z) = \frac{-z^{-2}+2jz^{-1}(1-jz^{-1})+2(1-jz^{-1})^2}{\frac{1}{2}(1-jz^{-1})^2+\frac{1}{2}} = \frac{(1-jz^{-1})^2+1}{\frac{1}{2}(1-jz^{-1})^2+\frac{1}{2}} = 2 \qquad (۴)$$

ساختار بلوکی مدولاتور طراحی شده در شکل۲ نشان داده شده است. این مدولاتور شامل یک DAC سه بیتی برای هر مسیر است و جهت حذف خطای عدم تطابق آن DEM مختلط استفاده شده است.



شکل ۲- ساختار مدولاتور متعامد پیشنهادی

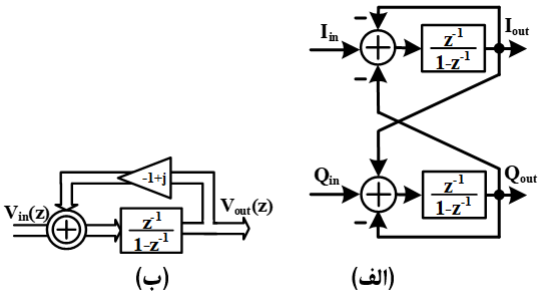
طیف خروجی مدولاتور طراحی شده در شکل ۳ نشان داده شده است. همانطور که در این شکل مشاهده می شود، باند عبور در Fs ۱/۴ قرار گرفته است.



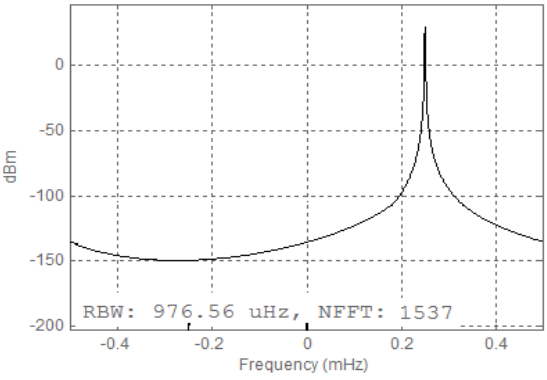
شکل ۳- طیف خروجی مدولاتور

۲-۱-ساختار تشدیدگر

بلوک اصلی مبدل دلتا سیگمای متعامد تشدیدگر مختلط است. هر تشدیدگر متشکل از دو انتگرال گیر است که با مسیرهای ضربدری (مختلط) به یکدیگر مرتبط هستند. این مسیرها قطبهای تشدیدگر و یا صفرهای تابع تبدیل نویز مدولاتور را تعیین میکنند. در ساختار پیشنهادی محل صفرها در z=j قرار گرفته اند و فرکانس تشدید را در $f_s/4$ تعیین میکنند. ساختار بلوکی این تشدیدگر بصورت حقیقی و مختلط و همچنین طیف خروجی آن بترتیب در شکل‌های ۴ و ۵ نشان داده شده است.



شکل ٤- ساختار بلوکی تشدیدگر: (الف) مختلط (ب) پیاده سازی حقیقی



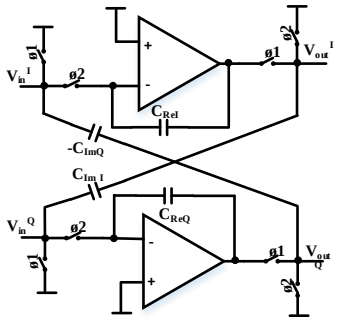
شکل ٥- طیف خروجی تشدیدگر متعامد

تابع تبدیل تشدیدگر مختلط در رابطه (۵) نشان داده شده است. این تشدیدگر دارای یک قطب در z=j است. در مدولاتور متعامد، قطبهای تشدیدگر، صفرهای تابع تبدیل نویز را تشکیل می‌دهند که در مدولاتور پیشنهادی در $f_s/4$ واقع می‌شوند.

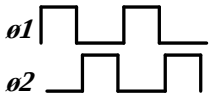
$$H(z) = \frac{z^{-1}}{1 - jz^{-1}} \qquad (۵)$$

۲-۲-پیاده سازی مداری مولاتور

مدولاتور بصورت تمام دیفرانسیلی بسته شده است و شامل دو تشدیدگر مختلط است که پیاده سازی مداری آن در شکل ۶ نشان داده شده است. کلاک سوییچهای این تشدیدگرها در شکل ۷ نشان داده شده است.



شکل ٦- پیاده سازی مداری تشدیدگر مختلط



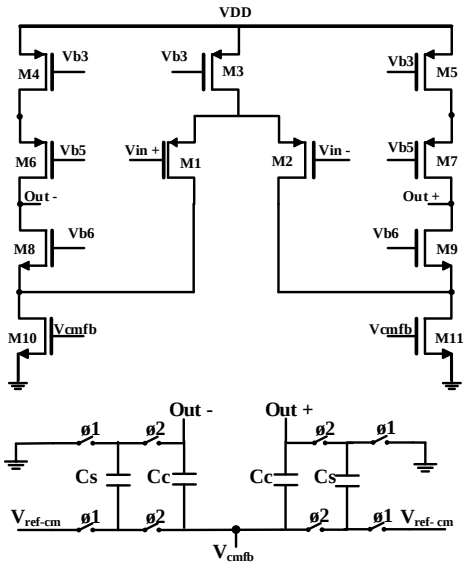
شکل ۷: کلاک‌های مدار

۳-تقویت کننده‌ها

یکی از مزیتهای ساختار مدولاتور FF این است که حساسیت زیادی نسبت به بهره تقویت کننده ندارد. همانطور که گفته شد حلقه فقط نویز کوانتیزاسیون را پردازش می‌کند، پس سوینگ خروجی انتگرالگیرها پایین بوده و یک تقویت کننده‌ی کسکود با بهره بالا برای عملکرد صحیح مدولاتور کفایت می‌کند. در هر دو طبقه از ساختار این مدولاتور تقویت کننده کسکود تا شده استفاده شده که در شکل ۸ به همراه فیدبک مد مشترک آن نشان داده شده است. مزیت این ساختار مجزا بودن ولتاژ مد مشترک ورودی و خروجی، و استفاده از ولتاژ مد مشترک یکسان در ورودی و خروجی می‌باشد. مزیت استفاده از فیدبک مد مشترک نیز کلید خازنی حفظ سوینگ خروجی و عدم افت بهره در این ساختار است. در جدول۱ اندازه‌های ترانزیستورهای بکار رفته در تقویت کننده شکل ۸ آورده شده است.

جدول ۱- اندازه‌های ترانزیستورهای تقویت کننده

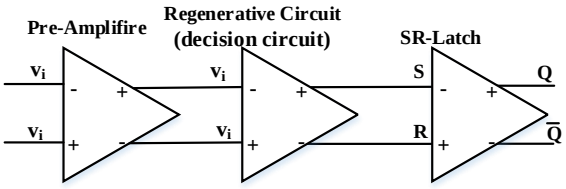
Transistor number	Size (µm)
M1,2	4/0.18
M3	11/0.18
M4,5	2.2/0.36
M6,7	1.4/0.36
M8,9	8.4/0.36
M10,11	15/0.36



شکل ۸- تقویت کننده کسکود تا شده با فیدبک مد مشترک

۳-۱-کوانتایزر

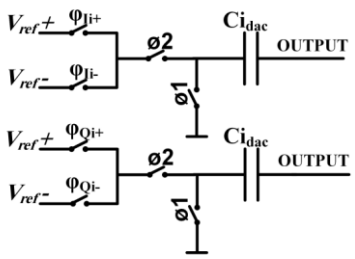
کوانتایزر بکار رفته در این مدار از نوع فلش با دقت ۳ بیت است. برای پیاده سازی آن به هفت مقایسه کننده‌ی سطح ولتاژ نیاز است که خروجی آن بصورت کد ترمومتریک است [۱۰]. ساختار این مقایسه‌گرها در شکل ۹ نشان داده شده است.



شکل ۹- ساختار یک مقایسه‌گر مورد استفاده در مدولاتور

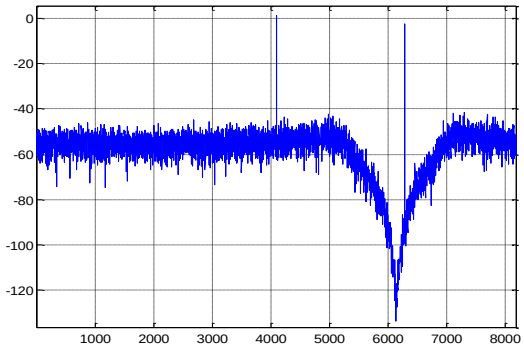
پیاده سازی DAC سه بیتی

مدولاتور بصورت دو مسیر تمام دیفرانسیلی پیاده سازی شده پس هر مسیر دارای دو DAC است. مدولاتور پیشنهادی جمعا دارای چهار DAC هفت بیتی است که بصورت سوییچ خازنی پیاده سازی شده‌اند. سلولهای DAC به صورت مدار کلید خازنی که در شکل ۱۰ نشان داده شده‌است پیاده سازی شده‌اند. در این مدار در یک نیم سیکل خازن شارژ شده و در نیم سیکل بعدی بار خازن به خروجی منتقل می‌شود. شکل ۱۱ طیف خروجی مدولاتور را در حالت ایده آل نشان می دهد.



شکل ۱۰- مدار DAC سوییچ خازنی

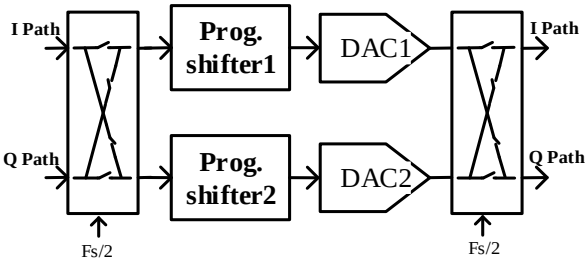
همانطور که در شکل ۱۱ نمایان است نویز کوانتیزاسیون ناشی از تبدیل سیگنال در مدولاتور دلتا سیگما به بیرون باند مطلوب شکل دهی می شود. مقدار SNR در این طیف برابر 92dB است.



شکل ۱۱- طیف خروجی مدار مدولاتور پیشنهادی با SNR برابر 92dB

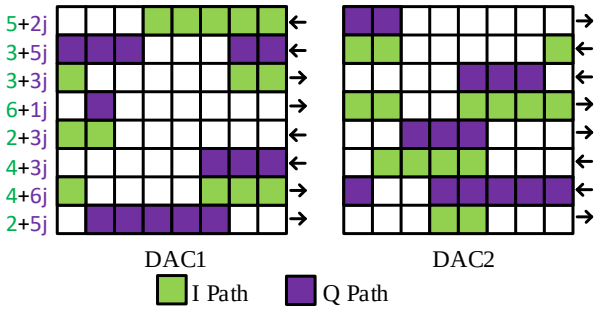
۳-۲-بلوک DEM مدولاتور

استفاده از کوانتایزر چند بیتی باعث افزایشSNR، بهبود پایداری، کاهش خطای لرزش پالس ساعت و کمتر شدن نویزهای هرز خارج باند می شود[۱۱-۱۰]. اما مشکل آن خطای عدم تطابق المان ها در DAC داخلی مدولاتور در مسیر فیدبک است که موجب، کاهش SNR، SFDR (گستره دینامیکی تمیز) و پارامترهای کیفی مدولاتور می شود [۱۲]. برای بر حل این مشکل می توان از روشهای تطبیق دینامیکی المانها (DEM) استفاده نمود[۱۳]. در مدولاتور پیشنهادی برای حذف خطای عدم تطابق از الگوریتم C_DWA(complex data waited averaging) استفاده شده است [۷]. این روش که برگرفته از الگوریتم DWA حقیقی است باعث حذف خطای عدم تطابق سلولهای DACها در هر مسیر شده و با اشتراک گذاری مبدلهای DAC هر دو مسیر I و Q عدم تطابق این مسیرها را نیز حذف می شود. ساختار بلوکی C_DAC در شکل ۱۲ نشان داده شده است. این بلوک شامل دو بخش swapper در ابتدا و انتهای بلوک است که با فرکانس Fs/2 کار می کنند و وظیفه جابجایی مسیرهای I و Q را بصورت یک سیکل در میان دارند و بخش های شیفت دهنده (Prog.shifter 1,2) که الگوریتم DWA در آنها پیاده سازی شده و عمل چرخش داده ها را در سلولهای DAC دارند. عملکرد کلی بلوک C_DWA به صورت جایگشت



شکل ۱۲- ساختار بلوکی DACو C_DWA

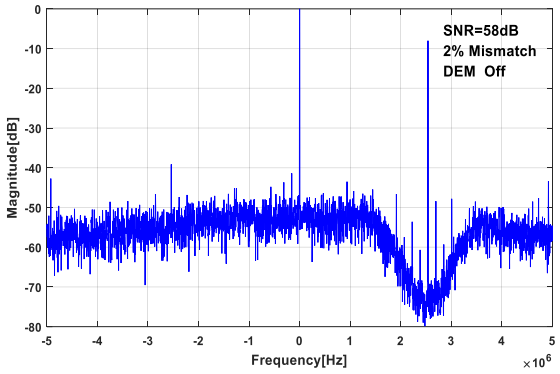
سلول های C_DAC است که در شکل ۱۳ نشان داده شده است. در این شکل سلولهای هر DAC به شکل یک مربع نشان داده شده اند و عمل چرخش دیتا در این سلولها برای دو مسیر نشان داده شده است. همانطور که در شکل نیز مشخص است علاوه بر اینکه دیتا در سلول های DAC بصورت نوبه ای چرخش دارد، جای دو DAC نیز بصورت یک در میان در دو سیکل عوض می شوند. بدین ترتیب تمام سلولهای هر دو DAC در تبدیل دو مسیر شرکت می کنند. بدین ترتیب این جابجایی و تغییر مسیرها مانند یک فیلتر میان نگذر عمل کرده و باعث می شوند خطای عدم تطابق سلولها از فرکانس میانی Fs/4 دور شوند.



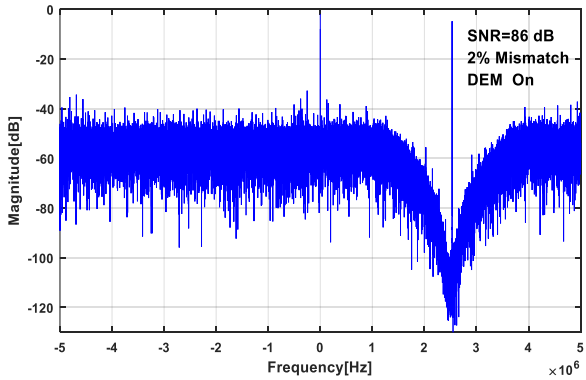
شکل ۱۳- نحوه انتخاب سلولهای DACها توسط C_DWA

٤-شبیه سازی و مقایسه

مدولاتور طراحی شده با ۲٪ خطای عدم تطابق شبیه سازی گردیده و طیف خروجی آن در شکل ۱۴ نشان داده شده است. در این شکل بلوک DEM خاموش است و نرخ سیگنال به نویز dB۵۸ بدست آمده است و نشان می دهد که SNR آن نسبت به حالت ایده آل dB۳۴ کاهش پیدا کرده است. در شکل ۱۵ طیف خروجی مدولاتور با ۲٪ خطا و با بلوک DEM روشن نشان داده شده است. با مقایسه این دو طیف مشخص می شود که حدود dB۲۸ بهبود در SNR اتفاق افتاده است. در جدول۱ مشخصات مدولاتور پیشنهادی با مدولاتورهای پیشین مشابه آن مقایسه شده است. همانطور که مشاهده می¬شود OSR مدولاتور پیشنهادی نسبت به مدولاتورهای دیگر کمتر است که باعث کاهش فرکانس کاری بخش های مختلف مدولاتور شده و کاهش مصرف را نیز به دنبال داشته است. از طرفی کوانتایزر سه بیتی موجب



شکل ١٤- طیف خروجی مدولاتور با ۲٪ خطا در سلولهای DAC



شکل ١٥- طیف خروجی مدولاتور با ۲٪ خطا و بلوک DEM روشن

افزایش SNDR شده است و تصحیح عدم تطابق نیز با استفاده از بلوک C_DWA انجام گرفته موجب جلوگیری از کاهش SNDR شده است. مقادیر FOM در جدول با استفاده از رابطه (۱) محاسبه شده است. همانطور که توضیح داده شد در مدولاتورهای متعامد از کل عرض باند عبور برای پردازش سیگنال استفاده می شود که باعث کارآیی دو برابر آن نسبت به مدولاتور حقیقی می شود، به همین دلیل یک ضریب ۲ در مخرج رابطه (۱) اضافه می شود. با توجه به اینکه هرچه مقدار FOM بدست آمده کمتر باشد کارآیی ساختار بهتر است، مقایسه FOMها نشان می دهد مدولاتور ارائه شده دارای کیفیت مطلوبی نسبت به مدولاتورهای مشابه دارد.

جدول ۲- مقایسه مدولاتورهای متعامد مشابه ارائه شده در مقالات پیشین

Architecture	QBP		
Reference	**This work**	**[3]**	**[4]**
Order / Type	2 / DT	2 / DT	2 / DT
Process(nm)	180	90	180
BW(kHz)	200	360	200
OSR	50	144	100
SNDR(dB)	86	90	68.3
Power (mW)	5.58	19.9	17.64
Bit of quantizer	3	1	1
ENOB	14	14.6	11
FOM(pj/conv)	0.85	1.1	21.24

۵-نتیجه گیری

در این مقاله یک مدولاتور FF مرتبه دو گسسته زمان با حذف خطای عدم تطابق در نرم افزار TSMC طراحی و در سطح مدار پیاده سازی شده است. در این مدولاتور با کاهش OSR از تقویت کننده‌های با پهنای باندکوچکتر استفاده شده و چون در فرکانس پایین‌تری کار می کنند مصرف توان کمتری دارند. برای دستیابی به SNR مطلوب از کوانتایزر سه بیتی استفاده شده است و خطای عدم تطابق سلول‌های DAC دراین مدولاتور با استفاده از الگوریتم C_DWA حذف شده اند.

۶-مراجع

[1] A. Moradpour, F. Khalili, and E. N. Aghdam, "A new two-path band pass Delta Sigma Modulator structure with tunability in filter resonance frequency," in 2015 23rd Iranian Conference on Electrical Engineering, 2015, pp. 1327-1331.

[2] A. Shamsi and E. Najafi Aghdam, "Continuous Time Feedforward Quadrature Delta Sigma Modulator Design Omitting the Power Hungry adders for LOW-IF Receivers," *Tabriz Journal of Electrical Engineering*, vol. 49, pp. 295-305, 2019.

[3] A. Bannon, A. Dunne, D. O'Hare, M. Miller, and O. Oliaei, "A 2nd Order 1-bit Complex Switched Capacitor Sigma-Delta ADC with 90dB SNDR in a 180kHz Bandwidth," in 2006 13th IEEE International Conference on Electronics, Circuits and Systems, 2006, pp. 136-139.

[4] B. Li and K.-P. Pun, "A High Image-Rejection SC Quadrature Bandpass DSM for Low-IF Receivers," Circuits and Systems I: Regular Papers, *IEEE Transactions on*, vol. 61, pp. 92-105, 2014.

[5] S. Jantzi, K. Martin, and A. Sedra, "The effects of mismatch in complex bandpass/spl Delta//spl Sigma/modulators," in 1996 IEEE International Symposium on Circuits and Systems. Circuits and Systems Connecting the World. ISCAS 96, 1996, pp. 227-230.

[6] A. Shamsi, "A new Mismatch cancelation for Quadrature Delta Sigma Modulator," *International Journal of Industrial Electronics, Control and Optimization*, vol. 3, pp. 196-204, 2020.

[7] S. Kundu, S. Gupta, D. J. Allstot, and J. Paramesh, "DAC mismatch shaping for quadrature sigma-delta data converters," in IEEE Midwest Symposium on Circuits and Systems, 2015.

[8] S. J. Yi, S.-H. Kim, H.-G. Jeong, and S.-I. Cho, "A 3 rd order 3bit Sigma-Delta Modulator with Reduced Delay Time of Data Weighted Averaging," World Academy of Science, Engineering and Technology, *International Journal of Computer, Electrical, Automation, Control and Information Engineering*, vol. 4, pp. 1688-1691, 2010.

[9] S. Pavan, R. Schreier, and G. C. Temes, Understanding Delta-Sigma Data Converters: John Wiley & Sons, 2017.

[10] L. Sharifi and O. Hashemipour, "Mismatch error shaping of DAC unit elements in multibit $\Delta $$\Sigma $ modulators using a novel unified ADC/DAC," *Turkish Journal of Electrical Engineering and Computer Sciences*, vol. 29, pp. 548-560, 2021.

[11] H. Fakhraie, T. Moosazadeh, R. Sabbaghi-Nadooshan, and A. Hassanzadeh, "A multi-stage sigma-delta modulator based on noise-coupling and digital feed-forward techniques," *Analog Integrated Circuits and Signal Processing*, vol. 108, pp. 253-266, 2021.

[12] A. Shamsi, "Reconfigurable CT QDSM with mismatch shaping dedicated to multi-mode low-IF receivers," *International Journal of Industrial Electronics, Control and Optimization*, vol. 2, pp. 257-264, 2019.

[13] R. J. Baker, CMOS: circuit design, layout, and simulation: Wiley-IEEE press, 2019.