طراحی سنتز کننده فرکانسی تقسیم جزئی با تکیه بر تقسیم کننده سیگما دلتا در کاربرد های ماهواره

تاریخ دریافت:
۱۹ اسفندماه ۱۴۰۲

تاریخ پذیرش:
۱۰ اردیبهشت ماه ۱۴۰۳

سعید پوراکبری*[۱]
۱. دانشکده مهندسی برق و کامپیوتر، دانشگاه محقق اردبیلی، اردبیل، ایران.

چکیده
در این مقاله، یک سنتز کننده فرکانسی از نوع حلقه‌ی قفل فاز کسری-N با پهنای باند حلقه بسته Khz200 طراحی و شبیه سازی شده است. این سنتز کننده برای شبیه سازی سیستم حلقه قفل فاز در کاربرد فناوری راداری و ماهواره ای بسیار کاربرد دارد. مقادیر عددی بلوک فیلتر حلقه که برای قفل کل مجموعه اساسی هست، با استفاده از نرم‌افزار متلب محاسبه شده است. همچنین، با توجه به فرکانس کاری، تعداد و فاصله کانال‌ها، مدار تقسیم‌کننده فرکانسی با سرعت بالا طراحی شده است. برای تولید مقادیر تقسیم کسری، از مدولاتور سیگما دلتا با آرایش ۱-۱-۱ MASH استفاده شده است. سرعت عملکرد حلقه نیز یک پارامتر مناسب برای کاربرد ماهواره‌ای محسوب می‌شود. همچنین، از زیربلوک‌ها برای کاهش تاخیر و توان مصرفی استفاده شده است که از اهداف اصلی این مقاله می‌باشد.از نتایج پیاده سازی مدار می‌توان به زمان قفل شوندگی کل حلقه PLL در usec3 و همچنین نویز فاز حلقه باز۴۵ درجه اشاره کرد.
واژه‌های کلیدی: سنتز کننده‌ی فرکانس کسری، مودلاتور سیگما دلتا، AVLS،AVLG ، نویز فاز.

Design of Fractional Frequency Synthesizer Based on Sigma Delta Divider in Satellite Applications

Saeed Pourakbari*[1]

1. Department, of Electrical and Computer , University of Mohaghegh Ardabili , Ardabili , Iran

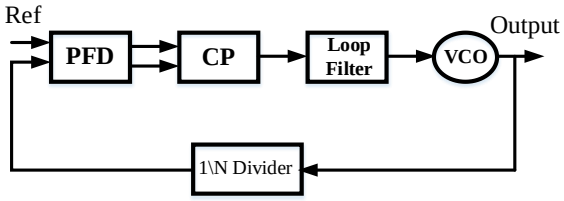
Abstract
In this paper, a fractional-N PLL synthesizer with a closed-loop bandwidth of 200 Khz has been designed and simulated. This synthesizer is very useful for simulating the phase-locked loop system in the application of radar and satellite technology. The numerical values of the ring filter block, which is essential for locking the entire set, have been calculated using MATLAB software. Also, according to the working frequency, the number and distance of the channels, a high-speed frequency divider circuit has been designed. To generate fractional division values, sigma-delta modulator with MASH 1-1-1 arrangement is used. The operation speed of the loop is also considered a suitable parameter for satellite application. Also, sub-blocks have been used to reduce the delay and power consumption, which are the main goals of this article. From the results of the circuit implementation, we can mention the locking time of the entire PLL loop in 3 usec, as well as the open loop phase noise of 45 degrees.

Key words: Fractional-N frequency synthesizer, Sigma-Delta modulator, AVLG, AVLS, phase noise.

ایمیل نویسنده مسئول: spourakbari70@yahoo.com

۱-مقدمه

با توسعه سریع فناوری و استفاده از توپولوژی‌های مختلف در ارتباطات بی‌سیم، می‌توان به اهمیت فرکانس مدارات فرستنده و گیرنده اشاره کرد، در سیستم‌های ارتباط مدرن رادیویی RF و دیجیتال، فرکانس اسیلاتور محلی با استفاده از بلوکی به نام حلقه قفل فاز (PLL) تامین می‌شود. حلقه قفل فاز فرکانس مرجع (تولید شده با یک نوسان‌ساز کریستال) را گرفته و به فرکانس بالاتر تبدیل می‌کند که به اصطلاح فاز سیگنال را روی فرکانس خاصی قفل می‌کند [۱]. شکل ۱ ساختار حلقه قفل فاز (PLL) را نشان داده که مکانیزم کاری حلقه با استفاده از بلوک‌های بکار گرفته شده قابل استنباط است.

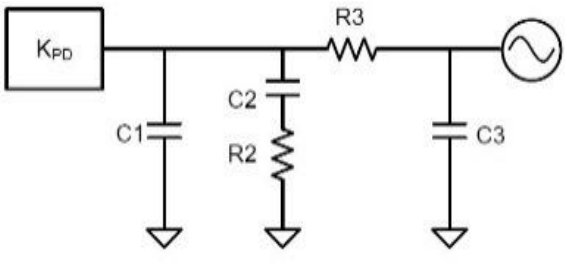


شکل۱- بلوک دیاگرام حلقه قفل کننده فاز [۲]

طبق شکل مربوطه فرکانس خروجی مضرب N از فرکانس ورودی خواهد بود. در ادامه اول، بلوک فیلتر حلقه توضیح داده می‌شود، سپس ساختار انتخاب شده برای تقسیم کننده قابل برنامه ریزی و زیر بلوک‌های آن بحث خواهد شد. بعد از آن عملکرد مدولاتور سیگما دلتا توضیح داده شده و در انتها نتیجه شبیه سازی ارائه خواهد شد.

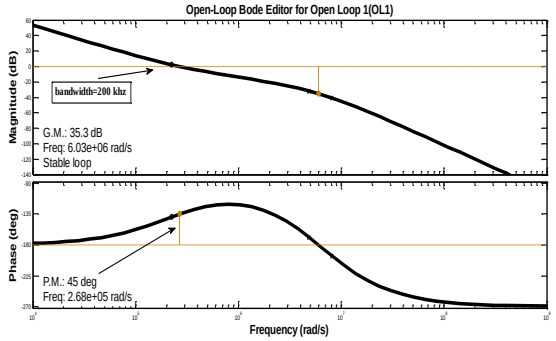
۲- بلوک فیلتر حلقه(LPF)

فیلتر استفاده شده از نوع فیلتر پایین گذر بوده که بسیاری از مشخصه‌های حلقه مانند پایداری حلقه، سرعت قفل و غیره را تعیین می‌کند. در عملکرد کلی حلقه قفل فاز، طراحی فیلتر حلقه از اهمیت بسیار بالایی برخوردار است. در این مقاله از مودلاتور دلتا سیگمای مرتبه‌ی ۳ استفاده شده است، لذا مرتبه‌ی فیلتر نیز می‌بایست حداقل برابر با ۳ باشد، زیرا شیب چگالی طیف توان برابر با dBC/HZ ۶۰+ می‌باشد، لذا برای جبران آن لازم است شیب نمودار اندازه دامنه فیلتر حلقه حداقل برابرdBC/HZ ۶۰- باشد که شکل مداری آن در شکل ۲ نشان داده شده است[۳].



شکل۲- مدار فیلتر حلقه [۳]

برای محاسبه مقادیر مقاومت و خازن در طراحی فیلتر میتوان با استفاده از نرم افزار متلب و همچنین با استفاده از SISO Design می‌توان پایداری حلقه و میزان حاشیه فاز بهینه را مشاهده کرد. نتیجه خروجی طراحی در شکل ۳ و مقادیر المانها در جدول ۱ ارائه شده است.



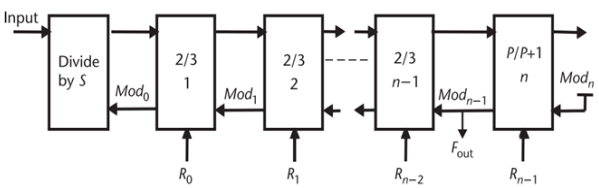
شکل۳- نمودار بد تابع حلقه باز سیستم PLL

جدول۱- مقادیر دقیق جهت طراحی فیلتر درجه ۳

پارامترهای فیلتر حلقه	مقادیر
C1	۶۲ pF
C2	۱.۶۵ nF
C3	۴.۲pF
R2	۲.۷ kohm
R3	۳۸ kohm

۳- تقسیم کننده قابل برنامه ریزی

با بررسی ساختار تقسیم کننده های استفاده شده درمقالات، دو نوع ساختار قابل ارائه است،یک تقسیم کننده های حذف کننده پالس و دو تقسیم کننده های چند ضربی،که بیشترین کاربرد را در طراحی مدارهای حلقه قفل فاز را دارند. با توجه به اینکه ساختار تقسیم کننده های حذف کننده پالس به دو بلوک شمارنده نیاز دارد و فاقد انعطاف پذیری است یعنی برای هر طرحی باید ساختار را از اول تغییر داد همچنین وجود حلقه فیدبک، سرعت عملکرد این سیستم را محدود می‌کند. با توجه به معایب اشاره شده در این نوع از تقسیم کننده، معمولا برای سنتز کنند های قفل فاز کسری بسیار سریع از تقسیم کننده چند ضربی استفاده می‌کنند که شکل۴ بلوک دیاگرام کلی آن نشان داده شده است. بسته به فرکانس و تعداد کانال مورد نیاز تعداد طبقات تقسیم کننده تعیین می گردد.



شکل٤- بلوک دیاگرام تقسیم کننده چند ضربی [٤]

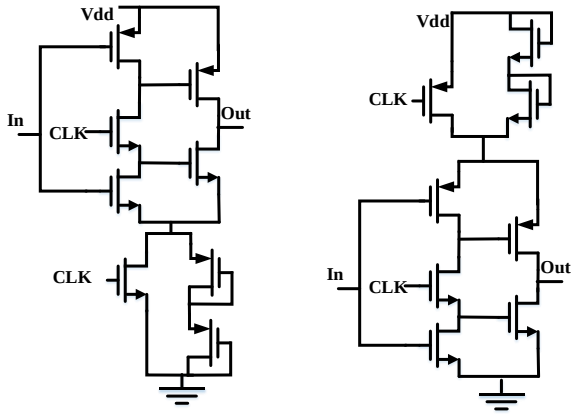
در این مقاله محدوده ی فرکانس کاری ۲.۴GHZ تا GHZ ۲.۵پس تقسیم کننده مورد نظر باید قابلیت تقسیم فرکانسی در محدوده‌ی مورد نظر را پوشش دهد، از طرفی چون فرکانس مرجع برابر با ۲۰MHZ بوده پس می‌توان مقادیر بیشینه و کمینه را همانند جدول ۲ جهت مشخص کردن تعداد بلوک های تقسیم کننده و آخرین بلوک تقسیم کننده بکار گرفت شد.

جدول۲- محاسبه‌ی دقیق تعداد بلوک ها و آخرین بلوک تقسیم کننده

L.B=۲/۴ GHZ	Nmin=۱۲۰	Dmin=۱۱۷	n=۵ P=۷
H.B = ۲/۵ GHZ	Nmax=۱۲۵	Dmax=۱۲۹	

۳-۱- فلیپ فلاپ بهینه برای طراحی تقسیم کننده

فلیپ فلاپ از اجزای اصلی داخلی یک تقسیم کننده فرکانسی است. معمولا درطراحی مدارات مجتمع دیجیتال حدود ۴۰ تا ۵۰ درصد کل توان مصرفی سیستم را به خود اختصاص می‌دهند. در نتیجه کاهش توان مصرفی و تاخیر فلیپ فلاپ‌ها تاثیر قابل توجهی در تاخیر و توان مصرفی کل سیستم دارد. مقالات زیادی برای طراحی انواع فلیپ فلاپهای سریع وجود دارند که در اینجا به دلیل ضیق تعداد صفحات مقاله فقط عنوان فلیپ فلاپها ذکر شده و فقط فلیپ فلاپ استفاده شده توضیح مختصری داده خواهد شد. از فلیپ فلاپ‌های نوع D مشهور می توان به Static CMOS، فلیپ فلاپ D کلاک شده (C2MOS) ، فلیپ فلاپ مولتی پلکسر ورودی انتشار (GDI MUX) D ، فلیپ فلاپ کلاک فاز توان (POWER PC) ، فلیپ فلاپ کلاک شونده تک مرحله ای (TSPC) ، فلیپ فلاپ تغییر دهنده سطح(SVL) و فلیپ فلاپ تغییر دهنده سطح بهبود یافته (ASVL) اشاره کرد. با بررسی انجام گرفته و مقایسه انواع DFF ها با استفاده از تکنیک‌های مختلف می‌توان به این جمع بندی رسید که در مقایسه تاخیر انتشار TSPC کمترین تاخیر انتشار و تعداد ترانزیستور کمتری دارد، پس بهتر است برای طراحی سیستمی که به سرعت سریع نیاز است از سبک منطقی TSPC استفاده کرد و همچنین طراحی مدار الکترونیکی در ولتاژهای پایین بهترین عملکرد را در بین DFF های طراحی شده دارد که جهت بهینه سازی توان مصرفی می توان با ترکیب تکنیک AVL برای کار با انرژی کم استفاده کرد که خود این تکنیک به ۲ صورت زیر تفکیک می‌شوند. AVLG که در آن با استفاده از سطح ولتاژ تطبیقی، در زمین افزایش می‌یابد و AVLS که در ان سطح ولتاژ تطبیقی در منبع افزایش یافته، که سبب کاهش مصرف کل توان گیت طراحی شده می‌شود، که در شکل ۵ نشان داده شده است.



شکل۵- مدار DFF مبتنی بر ساختارAVLG وAVLS [۵]

نتایج شبیه سازی نشان می‌دهد که تکنیک AVLS در مقایسه با روش AVLG، اتلاف انرژی کمتری را دارد که در جدول۳ نتایج شبیه سازی نشان داده شده است.

جدول۳- نتایج شبیه سازی ۲ ساختار ارائه شده

نوع DFF	Delay	Power	PDP	تعداد ترانزیستور
SVL بهبود یافته	۰/۲ nsec	۳۶/۴۷w	۷۲۹۴pJ	۳۰
AVLS	۰/۱ nsec	۵۱/۶۸w	۵۳۲۳pJ	۳۰

پس با مقایسه پارامترهای هر دو DFF می‌توان دریافت، تکنیک AVLS کارآمدی بهتری نسبت به تکنیک SVL بهبود یافته دارد، بر این اساس در طراحی بلوک تقسیم کننده ۲/۳ و ۷/۸ این ساختار استفاده می شود.

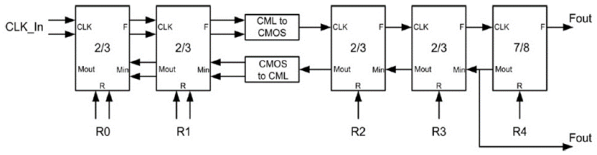
۳-۲ مدارات CML

برای کاربرد مورد نظر در این مقاله معمولا سیگنال خروجی VCO فرکانس بالا بوده، که این مقدار فرکانس برای طراحی در سطح CMOS بسیار مشکل است. بنابراین بلوک‌های ابتدایی تقسیم کننده در منطق CML (مد جریان) طراحی می‌شوند، همچنین در فرکانس های بالا توان کلی در منطق CML نسبت به منطق CMOS کمتر است ، در ضمن چون در ابتدا فرکانس ورودی بالا بوده و با تقسیم شدن بر عدد ۲ یا ۳ سطح فرکانس سیگنال مورد نظر کاهش می‌یابد که با اتصال دومین بلوک تقسیم کننده پارامترهای مداری نیز برای فرکانس ورودی جدید باید طراحی گردد [۶-۷].

۳-۳ طراحی تقسیم کننده نهایی

با توجه به مطالب ارائه شده در قسمت‌های قبل به طراحی تقسیم کننده ۲/۳و۷/۸ با استفاده از منطقCMOS و همچنین تقسیم کننده۲/۳ با منطقCML (به دلیل وجود فرکانس بالا در بلوک‌های ابتدایی) و همچنین طراحی مبدل‌هایCML TO CMOS و مبدل

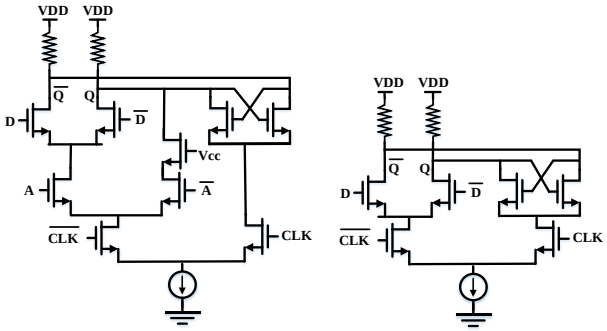
CMOS TO CML پرداختیم، در این قسمت با کنار هم قرار دادن مدارات طراحی شده و با توجه به مدار ارائه شده در شکل ۶ نسبت به طراحی مطلوب تقسیم کننده نهایی در رنج [۱۴۳و۱۱۲] اقدام می‌کنیم.



شکل٦- طراحی تقسیم کننده نهایی

۳-۳-۱- طراحی بلوک تقسیم کننده ۲/۳

جهت طراحی اولین تقسیم کننده ۲/۳ با توجه به مدار ارائه شده در شکل نیاز به طراحی مدارات D LATCH و AND DLATCH در منطق CML می باشد که نمونه استفاده شده در طراحی شکل ۷ برای دو بلوک اول و دوم ارائه شده و مقادیر آنها در جدول ۴ نشان داده شده است.



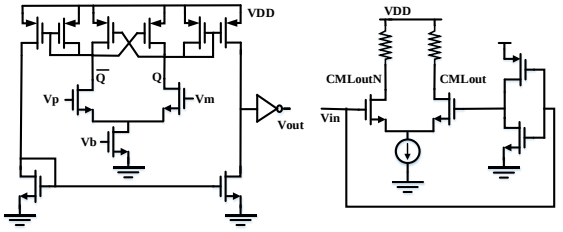
شکل۷- شماتیک مداری D LATCH و AND به همراه D LATCH [٤]

جدول٤- مقادیر دقیق جهت طراحی بلوک تقسیم کننده۲/۳

پارامتر طراحی	اولین بلوک	دومین بلوک
R	Ohm۲۰۰۰	Ohm۴۰۰۰
Ibias	uA۴۰۰	uA۲۰۰
Vswing	V۰/۸	V۰/۸
(W/L)	um۰.۱۸um/۲	um۰.۱۸um/۱

۳-۳-۲- طراحی مبدل CML TO CMOS و برعکس

در مبدل منطق CMOS به منطق CML و منطق CML به منطق CMOS مدارهای شکل ۸ طراحی شده و مقادیر پارامترها در جدول ۵ ارائه شده است.



شکل۸- مدار مبدل CML TO CMOS و برعکس[۸-۹]

جدول۵- مقادیر دقیق جهت طراحی مدار مبدل CML TO CMOSو برعکس

پارامتر طراحی	CMOS TO CML	CML TO CMOS
R	۴۰۰Ohm	-
Ibias	۲۰۰۰uA	۱۰۰ uA
Vswing	۰/۸ V	۱/۸ V
(W/L)	۲um/۰.۱۸um	۹um/۰.۱۸um

٤- طراحی مدارات کنترل تقسیم کننده

فرکانس کاری در این مقاله از ۲۴۰۰ مگا هرتز تا ۲۵۰۰ مگاهرتز با فاصله کانال‌های یک مگا هرتز تفکیک شده است. تقسیم بندی کانال‌ها بصورت اعداد صحیح و اعشاری طبق جدول ۶ می باشد برای هر ۲۰ مگاهرتز اعداد صحیح یکسان درنظر گرفته شده و به ازای هر یک مگا هرتز عدد اعشاری به اندازه ۰.۰۵ اضافه می گردد به عنوان مثال برای کانال ۲۴۹۹ عدد صحیح ۱۲۴ و عدد اعشاری ۰.۹۵ انتخاب می شود. قسمت اعشاری برای مشخص شدن وارد دلتا سیگما شده و با توجه به کوانتایزر ۸ سطحی مقادیر بین منفی ۳ تا ۴ را تولید کرده و خروجی آن با قسمت صحیح تولید شده جمع شده و کنترل تقسیم کننده را انجام می دهد. با توجه به اینکه خروجی دلتا سیگما اعداد منفی تا منفی سه و اعداد مثبت تا چهار هم تولید می کند پس بازه اعداد صحیح بایستی بین ۱۱۷ تا ۱۲۹ تعیین گردد در این مقاله بازه ۱۱۲ تا ۱۴۳ برای اعداد صحیح انتخاب شده وچون اختلاف این دو برابر ۳۲ می باشد می توان با پنج بیت بیتهای کنترلی مورد نیاز در تقسیم کننده را طراحی کرد.

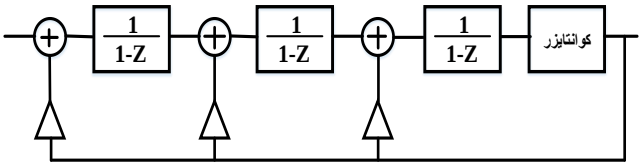
جدول٦- تقسیم بندی کانال‌ها بصورت اعداد صحیح و اعشاری

قسمت اعشاری(dN)	قسمت صحیح(N)	کانال(مگاهرتز)
۰.۹۵-۰.۰۵	۱۲۰	۲۴۱۹-۲۴۰۰
۰.۹۵-۰.۰۵	۱۲۱	۲۴۳۹-۲۴۲۰
۰.۹۵-۰.۰۵	۱۲۲	۲۴۵۹-۲۴۴۰
۰.۹۵-۰.۰۵	۱۲۳	۲۴۷۹-۲۴۶۰
۰.۹۵-۰.۰۵	۱۲۴	۲۴۹۹-۲۴۸۰
۰.۹۵-۰.۰۵	۱۲۵	۲۵۰۰

٥- مودلاتور دلتا سیگما

جهت پیاده سازی یک سینتی سایزر کسری-N به یک Accumulator احتیاج بوده که می‌توان به جای استفاده از انباشگر(Accumulator) از مودلاتور استفاده کرد، که استفاده از مودلاتور به جای انباشتگر تصادفی بودن خروجی مودلاتور و تن های ناخواسته کمتری در چگالی طیف توان آن می‌توان مشاهده کرد، همچنین یک مودولاتور سیگما دلتا به صورت تک حلقه ای و MASH می‌تواند طراحی شود. در حالی که ساختار MASH کاملا

پایدار بوده ولی یک مودلاتور سـیگما دلتا تک حلقه ای به دلیل وجود حلقه‌های فیدبک با کاهش دامنه ورودی اعمال می‌گردد که می‌توان چنین استنباط کرد که حلقه به طور مشروط پایدر است، مش می تواند ساختار MASH 1-1-1، MASH 1-2، MASH 2-1 داشته باشند اما MASH 1-1-1 به دلیل سادگی در طراحی حائز اهمیت است. در این مقاله از ساختار MASH 1-1-1 بکار گرفته شده که در شکل ۹ نشان داده شده است. دلیل این امر نیز پایداری حلقه بکار گرفته شده در ساختار مودلاتور SD میباشد که این امر به طور مشروط بوده است [۱۰-۱۶].



شکل۹- طراحی مودلاتورسیگما دلتا بر اساس ساختار MASH

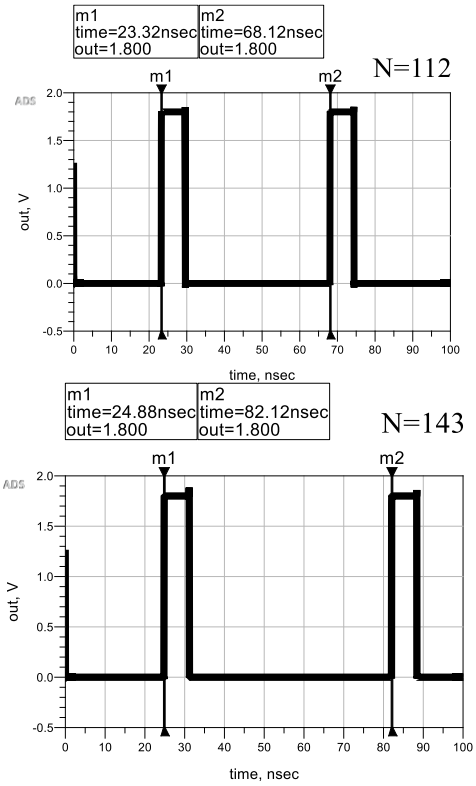
جدول۷- سطوح خروجی مودلاتور سیگما دلتا بر اساس مرتبه آن

سطوح خروجی مودلاتورSD	مرتبه ی مودلاتور SD
-و۱و۰	۱
-و۱و۰و۱و۲	۲
-و۳و۲و۱و۰و۱-و۲-و۳	۳
-و۵و۴و۳و۲و۱و۰و۱-و۲-و۳-و۴-و۵-و۶-و۷	۴
(-2^{L-1})و۱+2^{L-1}	L

مودلاتور سیگما دلتای درجه‌ی ۳، سیگنال ورودی را که عدد اعشاری بوده را بر اساس تنظیمات مورد نظر کوانتایزر به ۸ سطح، مطابق با جدول ۷ بین محدوده ی ۳- تا ۴ (به صورت صحیح) تبدیل می‌کند.

٦- نتایج شبیه سازی

جهت بررسی عملکرد کلی مدار تقسیم کننده نهایی می‌توان از حداکثر فرکانس کاری که ۲.۵گیگاهرتز بوده استفاده کردکه در یکبار برای عدد۱۱۲ و یکبار برای عدد ۱۴۳که به ترتیب کمترین و بیشترین عدد تقسیم بوده را در شکل ۱۰ نشان داد. پرسه کاری تقسیم کننده طراحی شده بدین صورت است که ابتدا عدد وارد شده را به صورت باینری به پایه های کنترلی تقسیم کننده داده می‌شود، خروجی نیز بعد از آنالیز درست همان عدد مورد نظر را ایجاد کرد، با دادن مقادیر دیگر این تقسیم کننده می‌تواند محدوده ی بین ۱۱۲ تا ۱۴۳ را به صورت صحیح و مطلوب تقسیم می‌کند. جهت طراحی و شبیه سازی کامل حلقه‌ی PLL می‌توان بلوک های طراحی شده را به صورت یکپارچه و در کنار هم قرار داد که تشکیل یک حلقه کامل سینتی سایزر (PLL) ، همانند شکل ۱۱ با پارامترهای مربوطه ارائه کرد.

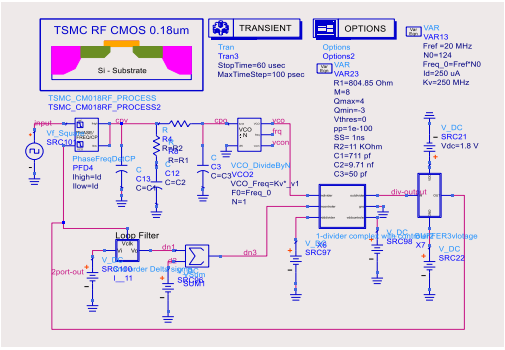


شکل۱۰- خروجی تقسیم کننده نهایی

جدول۸- پارامترهای طراحی حلقه PLL

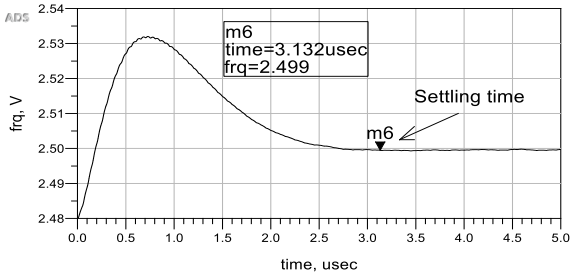
پهنای باند	۲۰۰ KHZ
جریان شارژپمپ	۲۵۰ uA
VCO گین(Kvco)	۲۵۰ MHZ/V
حاشیه فاز	درجه ۴۵

دلیل انتخاب پارامتر های مشخص شده در جدول فوق نیز با توجه به طراحی بهینه جهت قفل شوندگی حلقه و بررسی پایداری حلقه با قرار گرفتن در مرز پایداری دارای بهترین زمان قفل شدن را دارا می‌باشد، همچنین با توجه به ۲ نوع تحلیل گذرا و پوش انجام شده در این مقاله، سرعت تحلیل گذرا با توجه به مشخصات سیستم اجرا شده و با یک تخمین ساده به مراتب ۱۸ برابر سریعتر از تحلیل پوش می‌باشد، همچنین با اجرای برنامه در هر دو تحلیل به نتایج یکسان می‌رسیم و دلیل استفاده از تحلیل پوش جهت اندازه گیری نویز فازحلقه PLL می‌باشد. [۱۷].

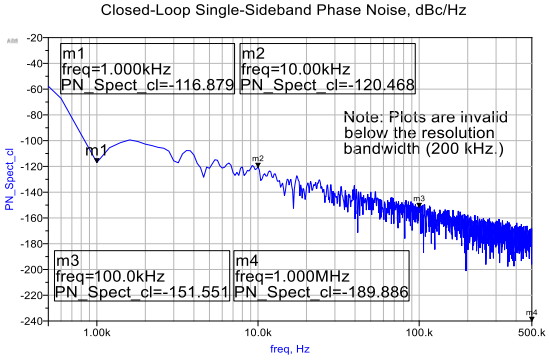


شکل۱۱- شبیه سازی مدار کامل حلقه PLL در نرم افزار ADS

در شکل ۱۲ نتیجه پاسخ گذرا و زمان نشست نشان داده شده و در شکل ۱۳ نمودار نویز فاز خروجی نشان داده شده است.



شکل۱۲- نمودار خروجی فرکانسی شکل موج VCO



شکل۱۳- نمودار نویز فاز حلقه بسته خروجی

۷- مقایسه طرح پیشنهادی با سایر مقالات

در ادامه خروجی این مقاله با سایر مقالات در جدول ۹ارائه شده است.

جدول۹- مقایسه طرح پیشنهادی با مقالات ارائه شده

مرجع	۱[12]	۲ [13]	۳ [14]	۴ [15]	مقاله مطرح شده
تکنولوژی	۹۰ nm	۱۳۰ nm	-	۰،۱۸um	۰،۱۸um
فرکانس مرجع	۵۰ MHZ	-	۲۵ MHZ	-	۲۰ MHZ
پهنای باند	-	-	۲۰۰khz	-	
محدوده ی فرکانسی	۴،۷۸-۵،۸۷GHZ	۲،۱۵۸-۵،۱۳۳GHZ	۲۴۰۲-۲۴۸۰MHZ	۲،۴GHZ	۲،۴-۲،۵GHZ
درجه مودلاتور سیگما دلتا	MASH1-1-1	MASH1-1-1	MASH1-1	MASH1-1-1	MASH1-1-1
Phase margin	-	-	۵۰ Degree	-	۴۵ Degree
Phase noise dBc/Hz	-۱۱۷،۵@ ۱MHZ	-۱۷۴،۵@ ۱MHZ	۱۱۳@۳MHZ	-	-۱۸۹،۸۶@ ۱MHZ
Setting time	۱۵۰ usec	۰،۵ sec	۶،۵ usec	۹usec	۳ usec

مقالات ارائه شده در جدول معیار خوبی از جهت ارائه تمام پارامتر های طراحی حلقه ی کامل PLL محسوب می‌شود اما این امر را هم باید نظر گرفت که در طراحی برای فاصله بین کانال ها همیشه بیشتر از MHz1 بوده ولی با توجه به پهنای باند محدود در نظر گرفته و با توجه به طراحی فیلتر مطلوب که در مرز پایداری قرار داشته، توانسته ایم فاصله کانال را به صورت ایده آل که1 MHz است برسانیم.

۸- نتیجه‌گیری و بحث

در این مقاله برای تقسیم کننده اصلی تمام زیر بلوک‌ها با هدف تاخیر و توان کم طراحی گردید. همچنین از مودلاتور سیگما دلتا با آرایش MASH 1-1-1 انتخاب و طراحی شد سپس به کمک نرم افزار ADS کل بلوکهای طراحی شده و ایده ال در حلقه قفل فاز شبیه سازی شد. نتایج شبیه سازی درستی طرحهای انتخابی را نشان داده که زمان قفل کل حلقه را ۳usec نشان می‌دهد و همچنین در بخش آخر خروجی نویز فاز خود را که در فرکانس افست 1 MHZ برابر با -189.886 dBc/Hz حاصل می‌شود،که عملکرد نسبتا مطلوبی نسبت که کارهای انجام گرفته را نشان می‌دهد.

۹-مراجع

[1] Vaucher CS. Architectures for RF frequency synthesizers Springer Science & Business Media; 2006 Apr 18.

[2] Bourdi T, Kale I. CMOS Single Chip Fast Frequency Hopping Synthesizers For Wireless Multi-Gigahertz Applications: Design Methodology, Analysis, and Implementation. Springer Science & Business Media; 2007 Mar 6.

[3] Baker RJ. CMOS: circuit design, layout, and simulation/R. Jacob Baker. Ser.

[4] Banerjee D. PLL performance, simulation, and design 4th edition. Sirirajmedj Com. 2006.

[5] Rogers JW, Plett C, Dai F. Integrated circuit design for high-speed frequency synthesis. Boston, London: Artech House; 2006 Feb.

[6] Malipatil, Somashekhar. (2015). Design of a Low Power D-Flip Flop using AVL Technique. 4. 10.17148/IJARCCE.2015.4962.

[7] Liao Y, Fan X, Shi Y. A Programmable Frequency Divider with Wide Division Ratio and Input Frequency Range. InIOP Conference Series: Earth and Environmental Science 2019 Feb 1 (Vol. 234, No. 1, p. 012103). IOP Publishing.

[8] Bangadkar MB, Scholar PG, Lamba MA, Bhure MV. Study of Differential Amplifier using CMOS.

[9] Kim HB, Kim YS. Optimizing CML-CMOS Converter Through Sizing Transistors for Producing 50% Duty Square Wave. Journal of Integrated Circuits and Systems. 2020 Jul 1;6(3).

[10] Hu A. Multi-modulus divider in fractional -N frequency synthesizer for direct conversion DVB-H receiver (Doctoral dissertation, The Ohio State University).

[11] Al-Nuaimi Hn, Comlekci S. Design and Simulation of Sigma Delta Fractional n-pll Modulator Using Advanced Design System (ADS).

[12] Azadbakht, M., Sahafi, A. and Aghdam, E.N., 2016, May. Low power fractional-N frequency synthesizer for IEEE 802.11 a/b/g/n standards in 90-nm CMOS. In 2016 24th Iranian conference on electrical engineering (ICEE) (pp. 1481-1485). IEEE.

[13] Hati, M.K. and Bhattacharyya, T.K., 2017. A novel pulse swallow based frequency divider circuit for a phase-locked loops. Analog Integrated Circuits and Signal Processing, 92(1), pp.55-69.

[14] Al-Nuaimi, H.N.M., Design and Simulation Fractional-N Phase Locked Loop Frequency Synthesizer using Sigma-Delta modulator for Bluetooth Systems.

[15] Patel, G.S., Das, N.N. and Sinha, S.K., Optimization of frequency settling time of PLL using 3 rd MASH Sigma Delta Modulator.

[16] Heidari, F. and Parandin, F., 2022. Designing and Implementing of Missile Control Section with Capability of Tracking the Target by Video Processing. New Researches in Electronic Defense Systems, 1(1), pp.1-9.

[17] Aslinezhad, M., Sezavar, A. and Malekijavan, A., 2023. A noise-aware deep learning model for automatic modulation recognition in radar signals. International Journal of Engineering, 36(8), pp.1459-1467.