افزایش کارآیی مدولاتور دلتا سیگمای متعامد زمان پیوسته با اعمال تکنیک فیدبک-خطا برای گیرنده های راداری

تاریخ دریافت:
۲۲ آذرماه ۱۴۰۳

تاریخ پذیرش:
۲ اردیبهشت ماه ۱۴۰۴

علیرضا شمسی*[1]

۱- استادیار، دانشکده مهندسی برق دانشگاه علوم و فنون هوایی شهید ستاری، تهران، ایران.

چکیده

در این مقاله یک مدولاتور دلتا سیگمای ۳ بیتی مرتبه سه متعامد زمان پیوسته با ساختار FF و با روش فیدبک-خطا برای گیرنده راداری پهن باند طراحی شده است. در این روش ابتدا نویز کوانتیزاسیون مدولاتور استخراج شده و توسط تابع تبدیلی متشکل از تاخیرهایی در حوزه z به خروجی فیلتر حلقه آن تزریق می گردد. روش پیشنهادی باعث اضافه شدن یک صفر در تابع تبدیل نویز مدولاتور شده بطوری که بدون افزودن بلوک های فعال، مرتبه ی مدولاتور افزایش پیدا کرده است. با جای گذاری مناسب صفرهای تابع تبدیل اولیه مدولاتور، اعمال روش فیدبک-خطا یک صفر در DC به تابع آن اضافه می کند که موجب افزایش پهنای باند و نرخ سیگنال به نویز طیف خروجی مدولاتور می شود. پهنای باند، فرکانس مرکزی و نرخ سیگنال به نویز مدولاتور با ساختار متداول به ترتیب مقادیر ۰.۰۳ Fs، Fs۰.۰۲۹ و dB۷۶.۴۸ و با ساختار پیشنهادی به-ترتیب مقادیر Fs۰.۰۴۴ و Fs۰.۰۲۱۵ و dB۸۶.۵۲ هستند. مقایسه نتایج بدست آمده نشان می دهد که پهنای باند و SNR ساختار پیشنهادی به-ترتیب بیش از ۳۰ و ۱۰ درصد نسبت به ساختار متداول افزایش داشته است.

واژه‌های کلیدی: گیرنده های راداری، مبدل دلتا سیگمای متعامد، فیدبک-خطا، پهن باند

Efficiency increasing of the Continuous Time quadrature Delta Sigma Modulator by applying Error-Feedback technique for radar receivers

Alireza Shamsi*[1]

1. Department of Electrical Engineering, Shahid Sattari Aeronautical University of Science and Technology,Tehran, Iran.

Abstract

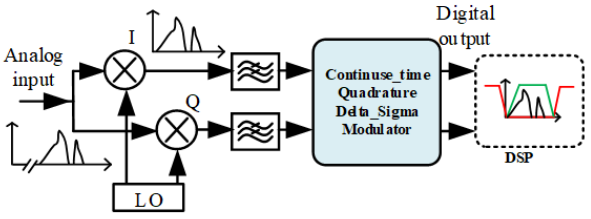
In this paper, a FF, three-order, 3-bit continuous time quadrature delta-sigma modulator by applying error-feedback method is designed for a wideband radar receiver. In this method, the quantization noise of the modulator is extracted then injected to the output of the loop filter by a transfer function consist of delays in the z domain. The proposed method adds a zero to the modulator's NTF that increases the modulator's order without adding active blocks. The first, the primary NTF zeros are located at the pass band, and then applying the error-feedback method adds a zero in DC, which increases the bandwidth and SNR of the modulator. Bandwidth, center frequency and SNR of conventional modulator are 0.03Fs, 0.029Fs and 76.48dB, respectively then for proposed structure are 0.044Fs and 0.0215Fs and 86.52dB, respectively. Comparison of the results shows that the bandwidth and SNR of the proposed structure increased by more than 30 and 10 percent, respectively, compared with the conventional structure.

Key words: Radar receiver, Quadrature delta-sigma modulator, Error-feedback, Wideband.

ایمیل نویسنده مسئول: alireza.shamsi@ssau.ac.ir

۱-مقدمه

پهنای باند و نرخ سیگنال به نویز مبدل آنالوگ به دیجیتال دلتا سیگما که آخرین حلقه بخش آنالوگ در گیرنده های رادیویی است، تاثیر مستقیمی روی کیفیت سیگنال دارد[۱]. بدین سبب افزایش پهنای باند و نرخ سیگنال به نویز این بخش و همچنین صرفه جویی در مصرف توان آن، همواره مد نظر طراحان بوده است[۲]. با توجه به اینکه مبدلهای دلتا سیگمای متعامد با مصرف توان و سخت افزار معادل، پهنای باند بزرگتری نسبت به نوع حقیقی آنها در اختیار می گذارند، در گیرنده های رادیویی رواج پیدا کرده اند[۳, ۴]. ساختار بلوکی بخشی از گیرنده راداری شامل مبدل آنالوگ به دیجیتال دلتا سیگمای متعامد و بلوکهای مرتبط با آن در شکل ۱ نشان داده شده است. سیگنال رادیویی توسط میکسر مختلط به نزدیک باند پایه(Low-IF) منتقل شده و پس از فیلتر شدن بخشهای اضافی آن، توسط مدولاتور متعامد، به دیجیتال تبدیل می شود[۵-۷].

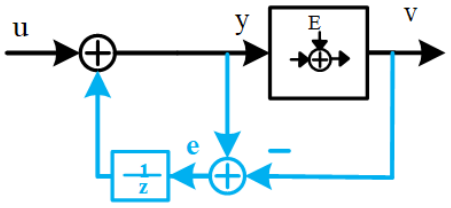


شکل ۱- ساختار بلوکی بخشی از گیرنده رادیویی شامل مبدل آنالوگ به دیجیتال [۵]

مدولاتور دلتا سیگمای زمان پیوسته نسبت به مدولاتور زمان گسسته مزایایی دارد که آنها را برای کاربردهای رادیویی مناسب نموده است. نداشتن نمونه بردار و نگهدار، عملکرد سرعت بالا و کم مصرف، و فیلتر ضد تداخل ذاتی، از جمله این مزایا هستند[۸, ۹]. روشهای مختلفی برای افزایش کارآیی مدولاتورهای دلتا سیگما بکار برده شده است. تعدادی از این روشها بصورت مداری باعث ارتقای عملکرد مدولاتور شده است و برخی از آنها بصورت سیستمی موجب افزایش کیفیت آنها شده است[۱۰-۱۳]. یکی از روشهای سیستمی که بدون اضافه نمودن بلوک فعال به مدولاتور موجب افزایش پهنای باند و SNR مدولاتور دلتا سیگما می شود، روش فیدبک خطا است. این روش در تحقیقات قبل به مدولاتور دلتا سیگمای حقیقی اعمال شده است[۱۴-۱۶]. اعمال این روش باعث ایجاد یک صفر در DC در تابع تبدیل مدولاتور میشود. در مدولاتورهای حقیقی که صفرهای NTF درDC قرار دارند و با بهینه سازی نیز همواره یکی از صفرهای NTF در DC قرار دارد. در [۱۷]روش فیدبک خطا مرتبه دو به مدولاتور دلتا سیگمای متعامد زمان گسسته اعمال شده و موجب افزایش SNR و ایجاد یک صفر در فرکانسهای منفی، در قرینه باند عبور شده است تا از تصویر نویز به داخل باند عبور جلوگیری کند. مدولاتور متعامد پیشنهادی در این مقاله طوری طراحی شده است که صفرهای NTF آن در فرکانسهای بالاتر از DC قرار گیرند تا پس از اعمال روش فیدبک-خطا، صفر ایجاد شده در DC قرار گرفته و باعث افزایش پهنای باند و SNR آن شود. در ضمن در مصرف توان و سطح تراشه نیز صرفه جویی میشود.

۲- روش فیدبک-خطا

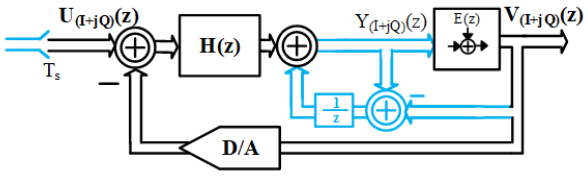
در این روش ابتدا نویز کوانتیزاسیون استخراج شده و پس از اعمال تاخیر، به خروجی فیلتر حلقه تزریق می گردد. ساختار بلوکی روش فیدبک-خطای حقیقی مرتبه اول در شکل۲ نشان داده شده است و معادله خروجی آن در رابطه (۱) ارائه شده است. روش فیدبک-خطا بصورت زمان گسسته روی مدولاتور پیاده سازی می شود[۱۱].



شکل۲- روش فیدبک-خطای مدولاتور دلتا سیگمای حقیقی مرتبه اول

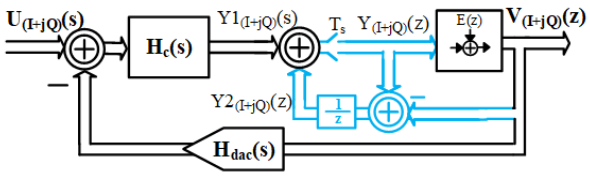
$$V(z) = E(z) + U(z) + (z^{-1})E(z) \qquad (۱)$$

همانطور که در شکل ۳ نشان داده شده است در مدولاتور دلتاسیگمای زمان گسسته، عملیات نمونه برداری از سیگنال، در ورودی مدولاتور صورت انجام می شود. و چون از آن به بعد داده ها گسسته هستند، پیاده سازی روش فیدبک-خطا روی این نوع مدولاتور ساده است[۱۱, ۱۷]. درحالی که در مدولاتور دلتاسیگمای زمان پیوسته عمل نمونه برداری قبل از کوانتایزر انجام می گیرد و توسط بلوکهای زمان پیوسته پیاده سازی می شود. لذا هماهنگ سازی بخش زمان گسسته¬ی فیدبک خطا با آن را کمی دشوار می کند.



شکل ۳ اعمال روش فیدبک-خطا به مدولاتور دلتا سیگمای متعامد مرتبه اول زمان گسسته

شکل ۴ ساختار مدولاتور متعامد زمان پیوسته را به همراه بخش فیدبک خطا نشان می دهد. در این ساختار سیگنال ورودی به کوانتایزر از سیگنال خروجی آن تفریق شده و با یک تاخیر (z-1) به سیگنال خروجی فیلتر حلقه اعمال می شود. این عمل باعث تفریق خطای کوانتیزاسیون از خروجی مدولاتور می شود.



شکل ٤ اعمال روش فیدبک-خطا به مدولاتور دلتا سیگمای متعامد مرتبه اول زمان پیوسته

آنچه در این طراحی مهم است، شکل دهی نویز کوانتیزاسیون است که تنها توسط مشخصه فیدبک صورت می پذیرد. از آنجا که تنها بلوک غیرخطی مدولاتور دلتاسیگما، کوانتایزر است و سایر بلوکها به صورت خطی عمل می کنند، بنابراین اگر پاسخ حلقه باز، از خروجی کوانتایزر به ورودی کوانتایزر برای دو مدولاتور دلتاسیگمای زمان گسسته و زمان پیوسته متعامد یکسان باشد، دو مدولاتور رفتار دینامیکی یکسانی از خود نشان می دهند. این موضوع با توجه به روش ضربه تغییر پذیر با زمان (IIT)انجام پذیرفته و در روابط (۲) تا (۴) نشان داده شده است.

$$y_{(I+jQ)}[nT_s] = L^{-1}\{Y_{1_{(I+jQ)}}(s)\}|_{t=nT_s} + y_{2_{(I+jQ)}}[nT_s] \quad (۲)$$

$$Y_{1_{(I+jQ)}}(s) = U_{(I+jQ)}(s)H_c(s) + H_{dac}(s)H_c(s)V_{(I+jQ)} \quad (۳)$$

$$y_{2_{(I+jQ)}}[nT_s] = -e[(n-1)T_s] \quad (۴)$$

با توجه به برابری که در رابطه (۵) مطرح شده است، در صورت برآورده شدن معادله (۶)، دو مدولاتور پاسخ حلقه باز یکسانی خواهند داشت، خروجی کوانتایزرها برابر بوده و پاسخ حلقه آنها نیز با یکدیگر برابر است[۸].

$$y_{2a}[nT_s] = y_{2d}[nT_s] \quad (۵)$$

$$Z^{-1}\{H_d(z)\} = L^{-1}\{H_{DAC}(s)H_c(s)\}|_{t=nT_s} \quad (۶)$$

در نتیجه، پاسخ دینامیکی حلقه بسته ی دو مدولاتور نیز برابر خواهد بود. خروجی مدولاتور دلتاسیگمای متعامد با پیاده سازی روش فیدبک-خطا در رابطه (۷) نشان داده شده است. چنانکه در این رابطه نشان داده شده است، مرتبه NTF(z) یکی اضافه شده است.

$$V_{(I+jQ)}(z) = [U_{(I+jQ)}(s)H_c(s)]^* \times NTF(z) + (1-z^{-1})\,\mathrm{NTF}(z)\times E(z) \quad (۷)$$

معادله NTF(z) برابر رابطه (۸) است.

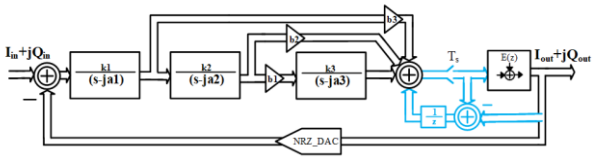
$$NTF(z) = \frac{1}{1+Z[L^{-1}\{H_{dac}(s)H_c(s)\}|_{t=nT_s}]} = \frac{1}{1+H_d(z)} \quad (۸)$$

در روابط اخیر، E(z)خطای کوانتیزاسیون کوانتایزر، Hd(z) برابر با IITی Hc(s) برای فیدبک DAC، و علامت [] عمل نمونه برداری را در رابطه (۷) نشان می دهد. در این روابط، Z-1 بیانگر تبدیل z معکوس و L-1 بیانگر تبدیل لاپلاس معکوس است. این روابط نشان می دهند که روش فیدبک-خطا را می توان به مدولاتور دلتا سیگمای متعامد زمان پیوسته نیز اعمال کرد.

۳- طراحی مدولاتور پیشنهادی

این مدولاتور با ساختار FF طراحی شده است که مصرف توان کمتری نسبت به FB دارد[۹]. در گام اول طراحی ساختار مدولاتور پیشنهادی، یک مدولاتور حقیقی مرتبه ۳ طراحی می شود. سپس با استفاده از مسیرهای مختلط قطب های تابع فیلتر مدولاتور به محلهای بهینه منتقل می شود بطوریکه بیشترین نرخ سیگنال به نویز را در پهنای باند مورد نظر داشته باشد[۱۲]. معادله فیلتر حلقه این مدولاتور در رابطه (۹) نشان داده شده است. این تابع با سه تشدیگر مختلط پیاده سازی می شود و مقادیر a1 و a2 و a3 تعیین کننده قطبهای مختلط این تابع هستند. مولفه های k1، k2 و k3 ضرایب انتگرالگیرها، و b1، b2 و b3 ضرایب مسیرهای پیشخور هستند. ضرایب تابع تبدیل مدولاتور پیشنهادی در جدول ۱ آمده است. نحوه محاسبه مقادیر این ضرایب با توجه به معادله فیلتر آن که در رابطه (۹) آورده شده است، در مرجع [۱۲] شرح داده شده است.

$$H(s) = \frac{k1b3}{(s-ja1)} + \frac{k1b2k3}{(s-ja1)(s-ja3)} + \frac{k1k2k3b1}{(s-ja1)(s-ja2)(s-ja3)} \quad (۹)$$

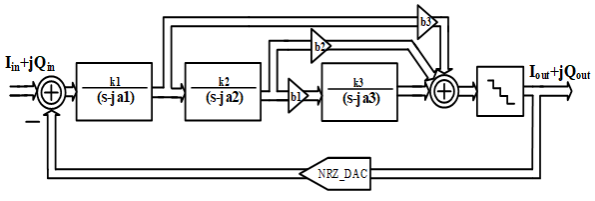


شکل ۷- مدولاتور دلتا سیگمای متعامد زمان پیوسته با اعمال روش فیدبک-خطا

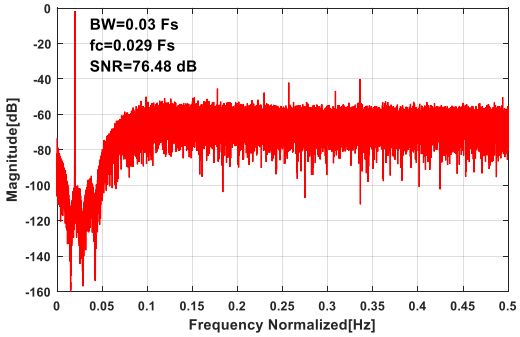
جدول ۱- مقادیر ضرایب مدولاتور پیشنهادی

مولفه	مقدار		مولفه	مقدار		مولفه	مقدار
a1	0.14		k1	0.67		b1	1
a2	0.75		k2	0.24		b2	1.5
a3	2.14		k3	0.124		b3	1

پیاده سازی مدولاتور طراحی شده با ساختار FF انجام گرفته و در شکل ۵ نشان داده شده است. تابع تبدیل نویز این مدولاتور دارای سه صفر مختلط است. طیف خروجی مدولاتور در شکل ۶ نمایش داده شده است. محل صفرهای NTF مدولاتور پیشنهادی در فرکانس های بالاتر از DC انتخاب شده اند به طوری که صفر حاصل از اعمال روش فیدبک-خطا که در DC قرار می گیرد، باعث ایجاد پهنای باند بزرگتر و SNR بیشتر شود. پهنای باند، فرکانس مرکزی و نرخ سیگنال به نویز مدولاتور طراحی شده به ترتیب مقادیر ۰.۰۳ Fs، ۰.۰۲۹ Fs و ۷۶.۴۸dB است.

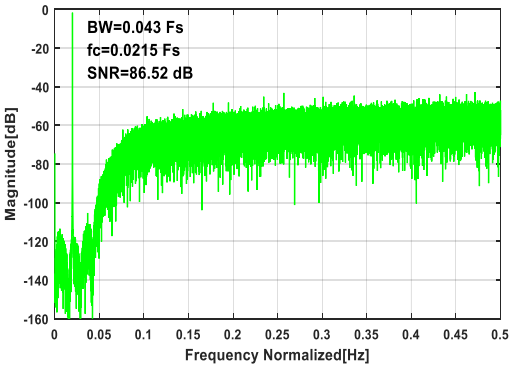


شکل ۵- مدولاتور دلتا سیگمای متعامد زمان پیوسته



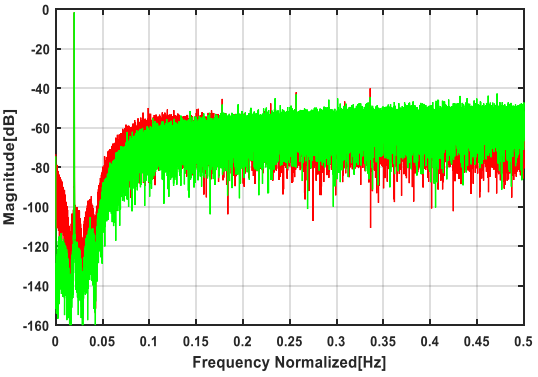
شکل ٦- طیف خروجی مدولاتور متعامد زمان پیوسته

ساختار بلوکی مدولاتور پیشنهادی با اعمال روش فیدبک–خطا در شکل ۷ نشان داده شده است. این ساختار از ابتدای حلقه تا جمع کننده انتهای فیلتر حلقه بصورت زمان پیوسته، و بخش فیدبک–خطا با ساختار زمان گسسته پیاده سازی می‌شود. طیف خروجی مدولاتور در شکل ۸ بیان‌گر این است که اعمال این روش موجب ایجاد یک صفر در DC شده و باعث افزایش پهنای باند و SNR شده است. با اضافه کردن بخش فیدبک–خطا به این مدولاتور، بدون اینکه بلوک فعالی (انتگرالگیر) به مدار اضافه شود، بهره وری مدار اضافه می‌شود. پهنای باند، فرکانس مرکزی و نرخ سیگنال به نویز این طیف به‌ترتیب مقادیر 0.044Fs و 0.0215Fs و 86.52dB هستند.



شکل ۸- طیف خروجی مدولاتور متعامد زمان پیوسته با اعمال روش فیدبک–خطا

برای مقایسه تاثیر روش اعمال شده که در شکل‌های ۶ و ۸ نشان داده شد، خروجی مدولاتور طراحی شده در دوحالت قبل و بعد از اعمال روش فیدبک–خطا در شکل ۹ طیف نشان داده شده است. پهنای باند و SNR ساختار پیشنهادی نسبت به ساختار معمول که در شکل ۵ نشان داده شده، به‌ترتیب بیش از ۳۰ و ۱۰ درصد افزایش داشته است.



شکل ۹- طیف خروجی مدولاتور متعامد زمان پیوسته قبل و بعد از اعمال روش فیدبک–خطا

٤- نتیجه گیری

در این مقاله افزایش کارآیی مدولاتور دلتا سیگمای متعامد پیوسته زمان به روش فیدبک–خطا ارائه شده است. همانطور که در شبیه سازی‌ها مشاهده می شود، اعمال این روش به مدولاتور، باعث ایجاد یک صفر در DC شده است که موجب افزایش پهنای باند و SNR طیف خروجی آن شده است. در نتیجه کارآیی مدولاتور پیشنهادی بدون افزودن بلوک های فعال افزایش یافته است، که خود باعث افزایش پایداری نسبی آن نیز شده است و در مصرف توان و سطح تراشه اشغال شده نیز صرفه جویی می‌شود. پهنای باند و SNR ساختار پیشنهادی نسبت به ساختار متداول، به‌ترتیب بیش از ۳۰ و ۱۰ درصد افزایش را نشان می‌دهد.

مراجع

[1] M. Bolatkale, L. J. Breems, and K. A. Makinwa, High speed and wide bandwidth delta-sigma ADCs: Springer, 2014.

[2] J. Mazloum, "A Low-power Wideband Receiver Front-end Employing Active and Passive N-path Filters," Journal of Advanced Defence Science and Technology, vol. 10, pp. 11-18, 2019.

[3] J. Zhang, Y. Xu, Z. Zhang, Y. Sun, Z. Wang, and B. Chi, "A 10-b Fourth-Order Quadrature Bandpass Continuous-Time $\Sigma\Delta $ Modulator With 33-MHz Bandwidth for a Dual-Channel GNSS Receiver," IEEE Transactions on Microwave Theory and Techniques, vol. 65, pp. 1303-1314, 2017.

[4] Y. Xu, Z. Zhang, B. Chi, N. Qi, H. Cai, and Z. Wang, "A 5-/20-MHz BW Reconfigurable Quadrature Bandpass CT ADC With AntiPole-Splitting Opamp and Digital/Calibration," IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 24, pp. 243-255, 2016.

[5] B. Ge, Y. Li, H. Yu, and X. Feng, "Design and implementation of quadrature bandpass sigma-delta modulator used in low-IF RF receiver," Journal of Semiconductors, vol. 39 ,p. 055002, 2018.

[6] Shamsi, A., & Najafi Aghdam, E. (2019). Continuous Time Feedforward Quadrature Delta Sigma Modulator Design Omitting the Power Hungry adders for LOW-IF Receivers. Tabriz journal of electrical engineering , 49(1), 295-305.

[7] S. Yamada, "Quadrature Radar Demodulation Techniques for Accurate Displacement Detection," [Honolulu]:[University of Hawaii at Manoa],[December 2016], 2016.

[8] J. Talebzadeh and I. Kale, "A novel two-channel continuous-time time-interleaved 3rd-order sigma-delta modulator with integrator-sharing topology ",Analog Integrated Circuits and Signal Processing, pp. 1-11, 2018.

[9] S. Pavan, R. Schreier, and G. C. Temes, Understanding Delta-Sigma Data Converters: John Wiley & Sons, 2017.

[10] shamsi, A., Khorasani, Y., & Shafiee, E. (2024). Designs of Band pass discrete-time Quadrature Sigma-Delta Modulator for GSM/EDGE Receivers. New Researches in Electronic Defense Systems, 2(5), 28-33. doi: 10.22034/joeds.2024. 426538.1033

[11] M. Honarparvar, M. José, and M. Sawan, "A 0.9-V 100-µW Feedforward Adder-Less Inverter-Based MASH Δ Σ Modulator With 91-dB Dynamic Range and 20-kHz Bandwidth," IEEE Transactions on Circuits and Systems I: Regular Papers, pp. 1-13, 2018.

[12] A. Shamsi and E. N. Aghdam, "A Wideband Continuous Time Quadrature Delta Sigma Modulator Based on a Real DSM for Low Power WLAN Receiver," Journal of Circuits, Systems and Computers, vol. 27, p. 1850044, 2018.

[13] R. Moradi, E. Farshidi, and M. Soroosh, "A low power passive-active ΔΣ modulator with high-resolution employing an integrator with open-loop unity-gain buffer," Integration, vol. 64, pp. 137-142, 2019.

[14] K. B. Lee, M and G. Temes, "DIGITAL ELECTRONICS-Noise-coupled DS ADCs," Electronics Letters, vol. 42, pp. 1381-1381, 2006.

[15] Y. Wang and G. C. Temes, "Noise-coupled continuous-time ΔΣ ADCs," in52 2009nd IEEE International Midwest Symposium on Circuits and Systems, 2009, pp. 341-344.

[16] Lozada, K. E., Jang, I. H., Bae, G. J., Lee, D. H., Kim, Y. D., Lee, H., ... & Ryu, S. T. (2022). A 4 th-order continuous-time delta-sigma modulator with hybrid noise-coupling. IEEE Transactions on Circuits and Systems II: Express Briefs, 69(9), 3635-3639.

[17] S. Kato, S. Saikatu, A. Yasuda, and M. Yoshino, "Complex Bandpass ΔΣ Modulator with Bandpass Error Feedback Structure".